

## 第16回青葉工学振興会賞



## 確率的コンピューティングに基づく脳型情報処理

東北大学  
電気通信研究所  
准教授 鬼 沢 直 哉

現在、半導体微細化は物理的限界に迫りつつあり、従来のトランジスタのスケーリングによるコンピュータの性能向上は極めて困難である。一方で、人工知能などの応用分野においてはこれまで以上に高い計算量が必要とされている。その計算量に着目するとMW級の電力を消費する巨大なGPU (Graphic Processing Unit) サーバーによる処理が必要であり、それに伴う電力・エネルギー（及びCO<sub>2</sub>排出量）の増加が今後の技術発展の大きな妨げである。

本研究では半導体微細化に頼らない新たな演算方式として、従来の「決定論」に基づく2値演算方式とは本質的に異なる「確率論」に基づく演算方式、特にストカスティック演算に基づく新概念コンピューティング技術を考案し、人工知能・機械学習をはじめとする脳型情報処理の高速化・省エネルギー化することを目的に研究を推進してきた。特に重要な実績は以下の3つである。

①確率的ビット列を用いて数値表現・計算を行うストカスティック演算は、「コンピュータの父」として知られるフォン・ノイマンによってその原型が考案されたものであり、脳型情報のような複雑な計算を高効率に処理できる可能性がある。一方で、1960年代に現在のストカスティック演算の基本形が考案されて以来、「限定された数値表現」及び「低精度演算」の2つの大きな課題を抱えていた。この課題に対して、従来のストカスティック演算とは異なり複数の確率的ビット列を同時並行的に用いるIntegral Stochastic Computing (ISC) を考案することで、この2つの課題解決に成功した。具体的には、従来手法では多入力加算において非常に大きな演算誤差が生じていたのに対して、提案手法ではその演算誤差を完全にゼロにすることが可能になった。性能評価としてISCをニューラルネットワークの推論処理に適用した結果、従来2値演算に基づくハードウェアと比較して30%強の面積・エネルギーの削減に成功した。この成果はストカスティック演算が50年近く抱えてきた問題を解決した革新的な手法であり、その研究成果は被引用回数200件を超えるなど同分野において非常に大きなインパクトを与えている[1]。

②現在の計算基盤は、対象の関数の入力情報に基づき出力を決定するのが一般的であり、この計算基盤に基づいてアルゴリズムが構築されている。一方で、膨大な計算量が問題となっているニューラルネットワークの学習処理は、出力から入力方向への誤差逆伝播法が必須のアルゴリズムである。このような現状から、現在の計算基盤とその上で実行されるアルゴリズムの間でミスマッチが生じているこ

とを見出し、順方向・逆方向を含む任意の関数の双方向計算が確率的に実行可能な「CMOSインバーティブルロジック」を考案した(図1)。CMOSインバーティブルロジックは上記のISCをベースにした計算基盤であり、双方向計算の具体例として素因数分解処理(順方向処理:乗算、逆方向処理:因数分解)を実チップ上で実証することに世界で初めて成功した[2]。また、小規模ニューラルネットワークの学習処理の省エネルギー化にも成功し[3]、実社会へ適用が可能となれば大幅なCO<sub>2</sub>排出量の削減が見込まれる。

③提案のISCを組合せ最適化問題の解法の一つであるシミュレーテッドアニーリング(SA)の計算基盤として活用した。様々な社会課題を解決可能なSAにおいて、確率的ビット(p-bit)をISCで近似した計算モデル及びノイズ制御技術を考案し、組合せ最適化問題の一種であるグラフ同型性判定問題などを対象に性能評価を行った。その結果、従来手法と比較して3桁以上の解収束時間の削減に成功しただけでなく、量子アニーリングで知られるD-Waveマシンと比較をして、2桁以上の電力削減をしつつ最適解への収束率を大幅に向上させる結果が得られた[4]。量子アニーリングなどの量子計算技術は、そのデバイス技術が発展途上であるのに対して、提案手法は従来の古典計算機でありながら量子計算を上回る性能を叩き出した画期的な手法として今後の応用が期待されている。

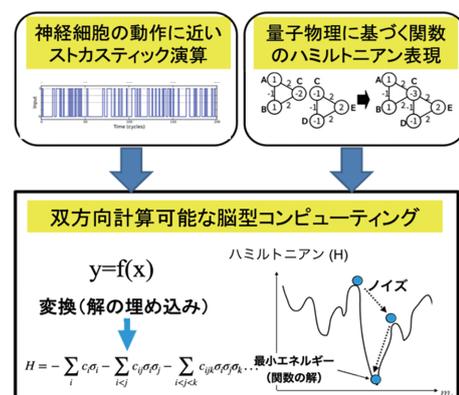


図1 双方向計算を可能にする脳型コンピューティング

- [1] A. Ardakani, et al., *IEEE TVLSI*, 25(10), 2688/2699, 2017.  
 [2] S. C. Smithson, et al., *IEEE TCAS-I*, 66(6), 2263/2274, 2019.  
 [3] N. Onizawa, et al., *IEEE TCAS-I*, 67(5), 1541/1550, 2020.  
 [4] N. Onizawa, et al., *IEEE TNNLS*, (to appear).